

PCT

国際予備審査報告

(法第12条、法施行規則第56条)
[PCT36条及びPCT規則70]

REC'D 14 OCT 2004

WIPO

PCT

出願人又は代理人 の書類記号 310201686WO1	今後の手続きについては、国際予備審査報告の送付通知(様式PCT/ IPEA/416)を参照すること。	
国際出願番号 PCT/JPO3/12336	国際出願日 (日.月.年) 26.09.2003	優先日 (日.月.年) 18.11.2002
国際特許分類(IPC) Int. Cl. H02M 3/07		
出願人(氏名又は名称) 株式会社ルネサステクノロジ		

1. 国際予備審査機関が作成したこの国際予備審査報告を法施行規則第57条(PCT36条)の規定に従い送付する。

2. この国際予備審査報告は、この表紙を含めて全部で 3 ページからなる。

☒ この国際予備審査報告には、附属書類、つまり補正されて、この報告の基礎とされた及び/又はこの国際予備審査機関に対してした訂正を含む明細書、請求の範囲及び/又は図面も添付されている。
(PCT規則70.16及びPCT実施細則第607号参照)
この附属書類は、全部で 5 ページである。

3. この国際予備審査報告は、次の内容を含む。

- I ☒ 国際予備審査報告の基礎
- II ☐ 優先権
- III ☐ 新規性、進歩性又は産業上の利用可能性についての国際予備審査報告の不作成
- IV ☐ 発明の単一性の欠如
- V ☒ PCT35条(2)に規定する新規性、進歩性又は産業上の利用可能性についての見解、それを裏付けるための文献及び説明
- VI ☐ ある種の引用文献
- VII ☐ 国際出願の不備
- VIII ☐ 国際出願に対する意見

国際予備審査の請求書を受理した日 10.11.2003	国際予備審査報告を作成した日 21.09.2004	
名称及びあて先 日本国特許庁(IPEA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官(権限のある職員) 櫻田 正紀	3V 2917
電話番号 03-3581-1101 内線 3356		

様式PCT/IPEA/409(表紙)(1998年7月)

I. 国際予備審査報告の基礎

1. この国際予備審査報告は下記の出願書類に基づいて作成された。(法第6条(PCT14条)の規定に基づく命令に
 応答するために提出された差し替え用紙は、この報告書において「出願時」とし、本報告書には添付しない。
 PCT規則70.16, 70.17)

☐ 出願時の国際出願書類

☒ 明細書 第 1-15 ページ、出願時に提出されたもの
 明細書 第 ページ、国際予備審査の請求書と共に提出されたもの
 明細書 第 ページ、付の書簡と共に提出されたもの

☒ 請求の範囲 第 6, 15-19 項、出願時に提出されたもの
 請求の範囲 第 項、PCT19条の規定に基づき補正されたもの
 請求の範囲 第 項、国際予備審査の請求書と共に提出されたもの
 請求の範囲 第 1, 4, 5, 7-14, 20, 21 項、04. 06. 2004 付の書簡と共に提出されたもの

☒ 図面 第 1-21 ページ/図、出願時に提出されたもの
 図面 第 ページ/図、国際予備審査の請求書と共に提出されたもの
 図面 第 ページ/図、付の書簡と共に提出されたもの

☐ 明細書の配列表の部分 第 ページ、出願時に提出されたもの
 明細書の配列表の部分 第 ページ、国際予備審査の請求書と共に提出されたもの
 明細書の配列表の部分 第 ページ、付の書簡と共に提出されたもの

2. 上記の出願書類の言語は、下記に示す場合を除くほか、この国際出願の言語である。

上記の書類は、下記の言語である _____ 語である。

- ☐ 国際調査のために提出されたPCT規則23.1(b)にいう翻訳文の言語
☐ PCT規則48.3(b)にいう国際公開の言語
☐ 国際予備審査のために提出されたPCT規則55.2または55.3にいう翻訳文の言語

3. この国際出願は、ヌクレオチド又はアミノ酸配列を含んでおり、次の配列表に基づき国際予備審査報告を行った。

- ☐ この国際出願に含まれる書面による配列表
☐ この国際出願と共に提出された磁気ディスクによる配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された書面による配列表
☐ 出願後に、この国際予備審査(または調査)機関に提出された磁気ディスクによる配列表
☐ 出願後に提出した書面による配列表が出願時における国際出願の開示の範囲を超える事項を含まない旨の陳述書の提出があった
☐ 書面による配列表に記載した配列と磁気ディスクによる配列表に記載した配列が同一である旨の陳述書の提出があった。

4. 補正により、下記の書類が削除された。

☐ 明細書 第 _____ ページ
☒ 請求の範囲 第 2, 3 項
☐ 図面 図面の第 _____ ページ/図

5. ☐ この国際予備審査報告は、補充欄に示したように、補正が出願時における開示の範囲を超えてされたものと認められるので、その補正がされなかったものとして作成した。(PCT規則70.2(c) この補正を含む差し替え用紙は上記1.における判断の際に考慮しなければならず、本報告に添付する。)

V. 新規性、進歩性又は産業上の利用可能性についての法第12条(PCT35条(2))に定める見解、それを裏付ける文献及び説明

1. 見解

新規性(N)	請求の範囲	1, 4-21	有 無
	請求の範囲		
進歩性(IS)	請求の範囲	1, 4-21	有 無
	請求の範囲		
産業上の利用可能性(IA)	請求の範囲	1, 4-21	有 無
	請求の範囲		

2. 文献及び説明(PCT規則70.7)

- 文献1 JP 4-343260 A (富士通株式会社), 30.11.1992
 文献2 EP 0319063 A2 (N.V. PHILIPS' GLOEILAMPENFABRIEKEN),
 07.06.1989
 文献3 JP 2000-49299 A (三菱電機株式会社), 18.02.2000
 文献4 US 5831844 A (NEC CORPORATION), 03.11.1998
 文献5 JP 2001-109530 A (株式会社日立製作所,
 株式会社日立超エル・エス・アイ・システムズ), 20.04.2001
 文献6 JP 2000-259784 A (株式会社日立製作所,
 株式会社日立超エル・エス・アイ・システムズ), 22.09.2000

請求の範囲1, 4-21に記載された発明は、国際調査報告で引用された文献に対して進歩性を有する。文献1-6には、

A. 第2キャパシタの一端は第1MISFETのゲートに接続され、その他端には動作電圧と第1MISFETの閾値電圧の和よりも大きな電圧振幅を有し、且つ第1クロックと逆相である第2クロックが入力され、

第4MISFETのバックゲートは第1ノードに接続され、そのソースドレイン経路は第2ノードと第1MISFETのゲートとの間に接続され、そのゲートは前段の基本ポンプセルを構成する第2キャパシタの一端に接続される構成

B. 第2キャパシタの一端は第1MISFETのゲートに接続され、その他端には動作電圧と第1MISFETの閾値電圧の和よりも大きな電圧振幅を有し、且つ第1クロックと同相である第2クロックが入力され、

第4MISFETのソースドレイン経路は、第3ノードと第1MISFETのゲートとの間に接続され、そのゲートは前段の基本ポンプセルを構成する第2キャパシタの一端に接続される構成

C. トランスファーマISFETのオフ状態のときに、トランスファーマISFETのゲートと、ドレインまたはソースとを接続する第2接続回路を有する構成

が記載されておらず、しかもその点は当業者といえども自明のものではない。

請 求 の 範 囲

1. (補正後) 基本ポンプセルをN段接続し昇圧する昇圧回路であって、

5 前記基本ポンプセルは、少なくとも第1MISFETと、第2MISFETと、第3MISFETと、第1キャパシタと、第4MISFETと、第2のキャパシタとを有し、

前記第1MISFETのバックゲートは第1ノードに接続し、そのソースドレイン経路は、第2ノードと第3ノードとの間に接続され、

前記第2MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は、前記第1ノードと前記第2ノードとの間に接続し、

10 前記第3MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は、前記第1ノードと前記第3ノードとの間に接続し、

前記第1キャパシタの一端は前記第3ノードに接続し、その他端には動作電圧の振幅を有する第1のクロックが入力され、

前記第3ノードが、次段の前記基本ポンプセルの第2ノードに接続し、

15 前記第2キャパシタの一端は前記第1MISFETのゲートに接続し、その他端には前記動作電圧と前記第1MISFETの閾値電圧の和よりも大きな電圧振幅を有し、且つ前記第1クロックと逆相である第2クロックが入力され、

20 前記第4MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は前記第2ノードと前記第1MISFETのゲートとの間に接続し、そのゲートは前段の前記基本ポンプセルを構成する前記第2キャパシタの前記一端に接続することを特徴とする昇圧回路。

2. (削除)

3. (削除)

4. (補正後) 基本ポンプセルをN段接続し昇圧する昇圧回路であって、

前記基本ポンプセルは、少なくとも第1MISFETと、第2MISFETと、第3MISFETと、第1キャパシタと、第4MISFETと、第2のキャパシタとを有し、

5 前記第1MISFETのバックゲートは第1ノードに接続し、そのソースドレイン経路は、第2ノードと第3ノードとの間に接続され、

前記第2MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は、前記第1ノードと前記第2ノードとの間に接続し、

10 前記第3MISFETのバックゲートは前記第1ノードに接続し、そのソースドレイン経路は、前記第1ノードと前記第3ノードとの間に接続し、

前記第1キャパシタの一端は前記第3ノードに接続し、その他端には動作電圧の振幅を有する第1のクロックが入力され、

前記第3ノードが、次段の前記基本ポンプセルの第2ノードに接続し、

15 前記第2キャパシタの一端は前記第1MISFETのゲートに接続し、その他端には前記動作電圧と前記第1MISFETの閾値電圧の和よりも大きな電圧振幅を有し、且つ前記第1クロックと同相である第2クロックが入力され、

20 前記第4MISFETのソースドレイン経路は、前記第3ノードと前記第1MISFETのゲートとの間に接続し、そのゲートは前段の前記基本ポンプセルを構成する前記第2キャパシタの前記一端に接続することを特徴とする昇圧回路。

5. (補正後) 請求項1記載の昇圧回路であって、

前記第1、2、3、4MISFETはn型のMISFETであって、

正側に電圧を昇圧することを特徴とする昇圧回路。

25 6. 請求項1記載の昇圧回路であって、

前記第1、2、3、4MISFETはp型のMISFETであって、

負側に電圧を昇圧することを特徴とする昇圧回路。

7. (補正後) 請求項4に記載の昇圧回路であって、

前記第 1、2、3、4 M I S F E T は n 型の M I S F E T であって、
負側に電圧を昇圧することを特徴とする昇圧回路。

8. (補正後) 請求項 4 に記載の昇圧回路であって、

前記第 1、2、3、4 M I S F E T は p 型の M I S F E T であって、
正側に電圧を昇圧することを特徴とする昇圧回路。

9. (補正後) 請求項 1 または 4 に記載の昇圧回路であって、

前記動作電圧の 2 倍の電圧のクロックを生成する 2 倍圧クロック発生回路を有し、

前記 2 倍圧クロック発生回路が、前記第 2 クロックを生成することを特徴とする昇圧回路。

10. (補正後) 請求項 1 または 4 に記載の昇圧回路であって、

前記基本ポンプセルの奇数段に入力される前記第 1 クロックと、その偶数段に入力される前記第 1 クロックが逆相であり、

前記基本ポンプセルの奇数段に入力される前記第 2 クロックと、その偶数段に入力される前記第 2 クロックが逆相であることを特徴とする昇圧回路。

11. (補正後) 基本ポンプセルを N 段接続し昇圧する昇圧回路であって、

前記基本ポンプセルが、

n 型であるトランスファーマ I S F E T と、前記トランスファーマ I S F E T のドレインまたはソースのいずれか電位の低い方と、前記トランスファーマ I S F E T のバックゲートとを接続する第 1 接続回路と、

前記トランスファーマ I S F E T のゲートに容量を介して、動作電圧と前記トランスファーマ I S F E T の閾値電圧との和よりも大きな電圧振幅の電圧を印加する回路と、

前記トランスファーマ I S F E T のオフ状態のときに、前記トランスファーマ I S F E T のゲートと、ドレインまたはソースとを接続する第 2 接続回路とを有することを特徴とする昇圧回路。

12. (補正後) 請求項11に記載の昇圧回路であって、

前記第1接続回路は、第1基板制御MISFETと第2基板制御MISFETとから構成され、

5 前記第1、第2基板制御MISFETの一方が導通し、前記トランスファーマISFETのドレインまたはソースのいずれか電位の低い方と、前記トランスファーマISFETのバックゲートとを接続することを特徴とする昇圧回路。

13. (補正後) 基本ポンプセルをN段接続し昇圧する昇圧回路であって、
前記基本ポンプセルが、

10 p型であるトランスファーマISFETと、

前記トランスファーマISFETのドレインまたはソースのいずれか電位の高い方と、前記トランスファーマISFETとバックゲートとを接続する第1接続回路と、

15 前記トランスファーマISFETのゲートに容量を介して、動作電圧と前記トランスファーマISFETの閾値電圧との和よりも大きな電圧振幅の電圧を印加する回路と、

前記トランスファーマISFETのオフ状態のときに、前記トランスファーマISFETのゲートと、ドレインまたはソースとを接続する第2接続回路とを有することを特徴とする昇圧回路。

20 14. (補正後) 請求項13に記載の昇圧回路であって、

前記第1接続回路は、第1基板制御MISFETと第2基板制御MISFETとから構成され、

25 前記第1、第2基板制御MISFETの一方が導通し、前記トランスファーマISFETのドレインまたはソースのいずれか電位の高い方と、前記トランスファーマISFETのバックゲートとを接続することを特徴とする昇圧回路。

15. 請求項1に記載の昇圧回路であって、

正、負のいずれかに昇圧するかを選択する選択回路を有することを特徴とする昇圧回路。

16. 請求項15に記載の昇圧回路であって、
前記選択回路は、

前記基本ポンプセルの初段または最終段のいずれか一方の第2ノードを
前記動作電圧に接続する回路であり、他方の第3ノードを接地電位に接続する
5 ことを特徴とする昇圧回路。

17. 請求項1記載の昇圧回路であって、
直列型チャージポンプを有し、

前記直列型チャージポンプが、前記昇圧回路が出力する第1の電圧から
第2の電圧を出力することを特徴とする昇圧回路。

10 18. 請求項1記載の昇圧回路により生成された電圧により、読み出し、書き
込み、消去の少なくともいずれか一つを行うことを特徴とする不揮発性メモリ
ー。

19. 請求項18記載の不揮発性メモリーを有することを特徴とするICカー
ド。

15 20. (追加) 請求項11記載の昇圧回路であって、

前記第2接続回路は、ドレインソース経路が前記トランスファーマIS
FETのゲートとドレインまたはソースとの間に接続され、ゲート値には前段
のポンプセルにおける前記トランスファーマOSのゲート電圧が印加されるゲ
ート電圧設定MISFETであることを特徴とする昇圧回路。

20 21. (追加) 請求項13記載の昇圧回路であって、

前記第2接続回路は、ドレインソース経路が前記トランスファーマIS
FETのゲートとドレインまたはソースとの間に接続され、ゲートには前段の
ポンプセルにおける前記トランスファーマOSのゲート電圧が印加されるゲ
ート電圧設定MISFETであることを特徴とする昇圧回路。

Translation

PATENT COOPERATION TREATY

PCT/JP2003/012336



PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

Applicant's or agent's file reference 310201686WO1	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/JP2003/012336	International filing date (day/month/year) 26 September 2003 (26.09.2003)	Priority date (day/month/year) 18 November 2002 (18.11.2002)
International Patent Classification (IPC) or national classification and IPC H02M 3/07		
Applicant RENESAS TECHNOLOGY CORP.		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 3 sheets, including this cover sheet.

☒ This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 5 sheets.

3. This report contains indications relating to the following items:

- I ☒ Basis of the report
- II ☐ Priority
- III ☐ Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV ☐ Lack of unity of invention
- V ☒ Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI ☐ Certain documents cited
- VII ☐ Certain defects in the international application
- VIII ☐ Certain observations on the international application

Date of submission of the demand 10 November 2003 (10.11.2003)	Date of completion of this report 21 September 2004 (21.09.2004)
Name and mailing address of the IPEA/JP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/JP2003/012336

I. Basis of the report

1. With regard to the elements of the international application:*

- ☐ the international application as originally filed
- ☒ the description:
 pages _____ 1-15 _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☒ the claims:
 pages _____ 6, 15-19 _____, as originally filed
 pages _____, as amended (together with any statement under Article 19
 pages _____, filed with the demand
 pages _____ 1, 4, 5, 7-14, 20, 21 _____, filed with the letter of _____ 04 June 2004 (04.06.2004)
- ☒ the drawings:
 pages _____ 1-21 _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____
- ☐ the sequence listing part of the description:
 pages _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item. These elements were available or furnished to this Authority in the following language _____ which is:

- ☐ the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
- ☐ the language of publication of the international application (under Rule 48.3(b)).
- ☐ the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- ☐ contained in the international application in written form.
- ☐ filed together with the international application in computer readable form.
- ☐ furnished subsequently to this Authority in written form.
- ☐ furnished subsequently to this Authority in computer readable form.
- ☐ The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
- ☐ The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. ☒ The amendments have resulted in the cancellation of:

- ☐ the description, pages _____
- ☒ the claims, Nos. _____ 2, 3 _____
- ☐ the drawings, sheets/fig _____

5. ☐ This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/JP03/12336

V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement

1. Statement

Novelty (N)	Claims	1, 4-21	YES
	Claims		NO
Inventive step (IS)	Claims	1, 4-21	YES
	Claims		NO
Industrial applicability (IA)	Claims	1, 4-21	YES
	Claims		NO

2. Citations and explanations

Document 1: JP, 4-343260, A (Fujitsu Limited), 30 November 1992
 Document 2: EP, 0319063 A2 (N. V. Philips' Gloeilampenfabrieken), 07 June, 1989
 Document 3: JP 2000-49299, A (Mitsubishi Electric Corporation), 18 February, 2000
 Document 4: US, 5831844, A (NEC Corporation), 03 November, 1998
 Document 5: JP, 2001-109530, A (Hitachi, Ltd., Hitachi ULSI Systems Co., Ltd.), 20 April, 2001
 Document 6: JP, 2000-259784, A (Hitachi, Ltd., Hitachi ULSI Systems Co., Ltd.), 22 September, 2000

The inventions described in claims 1, 4-21 appear to involve an inventive step with respect to the documents cited in the ISR. None of the documents 1-6 describes the following features and those features are not obvious to a person skilled in the art.

A. A configuration in which one terminal of the second capacitor is connected to a gate of the first MISFET, and a second clock that has a voltage amplitude larger than the sum total of the threshold voltage of the first MISFET and the operation voltage and a phase opposite that of the first clock is inputted to the other terminal of the second capacitor, and

the back gate of the fourth MISFET is connected to a first node, the source-drain path thereof is connected between the second node and the gate of the first MISFET, and the gate thereof is connected to one terminal of the second capacitor constituting the basic pump cell of the front stage.

B. A configuration in which one terminal of the second capacitor is connected to the gate of the first MISFET, and a second clock that has a voltage amplitude larger than the sum total of the threshold voltage of the first MISFET and the operation voltage and the same phase as the first clock is inputted to the other terminal of the second capacitor, and

the source-drain path of the fourth MISFET is connected between the third node and the gate of the first MISFET, and this gate is connected to one terminal of the second capacitor constituting the basic pump cell of the front stage.

C. A configuration having a second connection circuit for connecting the gate of the transfer MISFET and the drain or source when the transfer MISFET is switched OFF.